

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-260639

(43)Date of publication of application : 23.10.1990

(51)Int. Cl.

H01L 21/316

H01L 21/76

(21)Application number : 01-082981

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 31.03.1989

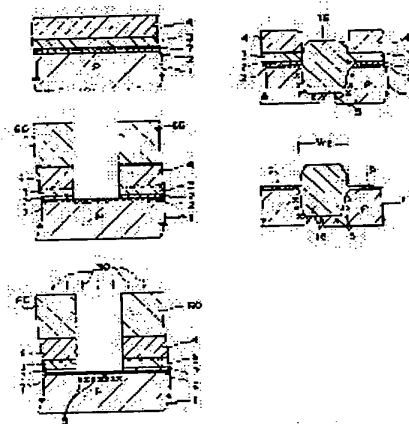
(72)Inventor : TOMIJIMA MITSUO
HAMADA SHUJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To perform an element isolation favorable to a fine formation by a method wherein an SiO₂ layer, an Si₃N₄ mask layer, a polycrystalline silicon stress buffer layer and an Si₃N₄ mask layer are deposited one after another on an Si substrate, an opening is formed in the above layers and the exposed surface of the substrate is selectively oxidized.

CONSTITUTION: An SiO₂ layer 2 is formed on a P-type Si substrate 1 and an Si₃N₄ mask layer 7, a polycrystalline silicon stress buffer layer 3 and an Si₃N₄ mask layer 4 are deposited one after another by a prescribed CVD method. A resist mask 60 is provided and an opening is formed in the layers 4, 3 and 7. A B implanted layer 5 is formed by a B ion beam 30. subsequently, the mask 60 is taken off, a field oxide film 16 is formed by a long-time thermal oxidation and the layers 4, 3 and 7 are removed. According to this constitution, the layer 3 prevents the generation of a crystal defect due to a stress concentration on the substrate 1, the layers 7 and 4 prevent a soak of an oxidizer, the lateral spread of a selectively oxidized region is eliminated, the area of an element region is secured as designed and the microminiaturization of the region can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C), 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平2-260639

⑬ Int.Cl.³

H 01 L 21/316

21/76

識別記号

庁内整理番号

M
M

6810-5F
7638-5F
6810-5F

⑭ 公開 平成2年(1990)10月23日

H 01 L 21/94

A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-82981

⑰ 出 願 平1(1989)3月31日

⑱ 発 明 者 富 島 光 雄 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツルメンツ株式会社内

⑲ 発 明 者 浜 田 修 史 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツルメンツ株式会社内

⑳ 出 願 人 日本テキサス・インスツルメンツ株式会社 東京都港区北青山3丁目6番12号 青山富士ビル

㉑ 代 理 人 弁理士 逢 坂 宏

明 細 書

I. 発明の名称

半導体装置の製造方法

II. 特許請求の範囲

1. 半導体基体の一主面上に酸化物を形成する工程と；この酸化物層上に耐酸化性及び耐熱性のある第1のマスク材料層を形成する工程と；この第1のマスク材料層上に応力緩和材料層を形成する工程と；この応力緩和材料層上に耐酸化性及び耐熱性のある第2のマスク材料層を形成する工程と；前記第1のマスク材料層と前記応力緩和材料層と前記第2のマスク材料層とを夫々パターニングしてマスクを形成する工程と；このマスクのない領域に存在する前記半導体基体の表面を選択酸化する工程とを有する半導体装置の製造方法。

III. 発明の詳細な説明

イ. 産業上の利用分野

本発明は半導体装置、特に素子分離用のLOCOS(Local Oxidation of Silicon)技術による選択酸化膜(フィールド酸化膜)を有する半導体装置

の製造方法に関するものである。

ロ. 従来技術

従来、半導体IC(Integrated Circuit)における素子分離技術として、LOCOS法が広く採用されている。この方法では、半導体基板を選択酸化して、素子間にフィールドSiO₂膜を形成する。

そして、こうしたLOCOS法による素子分離は一般に採用されている技術であるが、形成されたフィールドSiO₂膜にはいわゆるバズビーク(bird's beak)が生じて横方向への拡がりが必要以上に大きくなってしまふ。これは、素子領域を狭めることになるので、予め上記バズビークの分を考慮して素子領域を広めに設計しておく必要があり、素子の高集積化に伴って微細化の妨げとなっている。

一方、上述したLOCOS法としては各種考えられるが、そのうちの1つの方法として主に選択酸化時に発生する応力(即ち、酸化は体積膨張を

伴うために応力が発生する。)によって起るシリコン基板(半導体材料)における結晶欠陥を避けるための方法がある。即ち、それは選択酸化時にその応力を吸収、分散して緩和するために例えばポリシリコン層等を設けておくものである。以下、第3図において製造プロセスの一例を示して具体的に説明する。

まず、第3A図に示すように、P型シリコン基板1上に熱酸化により SiO_2 層2を成長させ、更にこの上にCVD (Chemical Vapour Deposition) によってポリシリコン層(応力緩衝材料)3及び Si_3N_4 層4を順次形成する。

次いで、第3B図に示すように、所定パターンの例えばフォトリソグレイスト50をマスクとして覆ってから、所定領域の Si_3N_4 層4及びポリシリコン層3を例えばプラズマエッチング技術等によりエッチング除去する。そして、第3C図に示すように、フォトリソグレイスト50をマスクとして所定領域のみにチャネルストップ用の例えばホウ素イオンビーム30をインオ注入し、ホウ素打込み

層5を形成する。

次いで、第3D図に示すように、フォトリソグレイスト50を除去した後、長時間の熱酸化によって、所定領域の基板1の表面を選択酸化し、素子分離用のフィールド SiO_2 膜6を形成する。その後、所定のエッチング液(例えばリン酸及びプラズマエッチング技術)を用いて Si_3N_4 層4及びポリシリコン層3を第3E図に示すように順次エッチング除去する。そして、更にその後例えばゲート電極等を形成する場合には、 SiO_2 層2をエッチング除去してからゲート酸化膜を新たに形成する。

上述した製造プロセスによるLOCOS法について本発明者等が種々検討した結果、その各問題点を以下に示す。

(1)、即ち、第3D図において選択酸化を行う際に、ポリシリコン層3が SiO_2 層2上に存在するので、酸素が SiO_2 層内を横方向に拡散しながら、さらにポリシリコンをも酸化してしまう。従って、選択酸化領域Wが横

方向に広がってしまうため、素子領域を狭めることになり、(即ち、上記した広がり領域等の余分な面積を予め考慮しなければならない。)、デバイスの微細化にとって非常に不利となる。

(2)、また、ポリシリコン層3は、多結晶であり、しかも選択酸化時には、ポリシリコン層3に非常に強い応力が働くため、その酸化が第3D図に拡大図示するように、グレイン状の不均一なものGとなり、また、ポリシリコン層3の一部のシリコングレインは、グレインバウンダリBから酸化を受けて、酸化膜HにつつまれたシリコングレインIが発生することがある。

一方、第3E図に示すように、 Si_3N_4 層4及びポリシリコン層3をエッチング除去する際には、 Si_3N_4 層4上に選択酸化時に成長した酸化膜及びポリシリコン層3上にある自然酸化膜及び前記酸化膜Hをエッチング除去しておくことが必要である。この酸化

膜除去工程において、エッチング酸化膜Hを通して酸化膜2まで進むと、結果的に、ポリシリコン層3からシリコン基板1に到る細穴が発生することがある。この細穴があると、ポリシリコン層3をエッチング除去する際に、この細穴を通して、シリコン基板1を損傷することになる。そして、このことは、デバイスの信頼性にとって非常に不利となる。

また、グレイン状の不均一な酸化膜部G及び酸化膜HにつつまれたシリコングレインIが発生すると、第3E図に拡大図示するように Si_3N_4 層4及びポリシリコン層3をエッチング除去した後、フィールド SiO_2 膜6のバースピーク部では、グレインG及びIの形状に追従した凹凸形状Cが発生する。そして、このような微細な凹凸形状の存在は、例えば、活性領域のゲート酸化膜の耐電圧不良など、デバイスの信頼性にとって非常に不利となる。

また、別の方法として第4図に示すようないわ

ゆるSILLO (Sealed Interface Local Oxidation) と呼ばれるものがあるが、この方法は、図に示すように上述したLOCOS法等におけるバースビーク等の発生を避けるためにシリコン基板1上に直接 Si_3N_4 層7を設けたものである。そして、通常、第4図において露出したシリコン基板1の表面を長時間の熱酸化により選択酸化するが、このとき上記した Si_3N_4 層7によって横方向の酸化の進行を防ぐことができる。なお、図中の12はシリコン基板1への応力集中を緩和させるために低圧CVD等によって形成された SiO_2 層である。

しかし、上述した方法によれば、選択酸化終了後に上記した各層をエッチング除去する際、特にシリコン基板1上の Si_3N_4 層7のエッチングは、基板1に損傷を与えないように行わなければならない、そのコントロールは非常に難しい。即ち、エッチングレート等のコントロールが非常に難しいので、 Si_3N_4 層7のエッチング時に基板1の損傷が生じ易い。このことは、デバイスの信頼

性にとっても非常に不都合な問題となる。

ハ、発明の目的

本発明の目的は、半導体装置の微細化に有利な素子分離を十分に行え、しかも信頼性の高い半導体装置の製造方法を提供することにある。

ニ、発明の構成

即ち、本発明は、半導体基体の一主面上に酸化物層を形成する工程と；この酸化物層上に耐酸化性（特に水蒸気や O_2 等の酸化剤の作用を阻止する性質）及び耐熱性のある第1のマスク材料層（例えば後述の Si_3N_4 層7）を形成する工程と；この第1のマスク材料層（例えば後述の Si_3N_4 層7）上に応力緩衝材料層（例えば後述のポリシリコン層3）を形成する工程と；この応力緩衝材料層（例えば後述のポリシリコン層3）上に耐酸化性及び耐熱性のある第2のマスク材料層（例えば後述の Si_3N_4 層4）を形成する工程と；前記第1のマスク材料層（例えば後述の Si_3N_4 層7）と前記応力緩衝材料層（例えば後述のポリシリコン層3）と前記第2のマスク材料層（例

えば後述の Si_3N_4 層4）とを夫々バターンニングしてマスクを形成する工程と；このマスクのない領域に存在する前記半導体基体の表面を選択酸化する工程とを有する半導体装置の製造方法に係るものである。

ホ、実施例

以下、本発明の実施例を説明する。

本実施例による方法を第1図について説明すると、まず、第1A図に示すように、P型シリコン基板1上に熱酸化により SiO_2 層2を所定の厚さ（例えば50Å～100Å程度）に形成し、更に、第3図の例と同様に、夫々所定のCVD法等によって Si_3N_4 層7（第1のマスク材料層：例えば厚さ50Å～100Å程度）、ポリシリコン層3（応力緩衝材料層：例えば厚さ500Å～1000Å程度）及び Si_3N_4 層4（第2のマスク材料層：例えば厚さ1000Å～3000Å程度）を夫々順次形成する。

次に、第1B図～第1E図の工程は上述した第3B図～第3E図のプロセスと略同様であるので、

説明を省略する（但し、第3図の例では Si_3N_4 層7を形成していないので、そのためのエッチングを必要としない。）。なお、図中の60はマスクとしての例えばフォトレジストである。

第2図は、上述の例による方法をNチャネルMOSトランジスタに適用した例である。

このNチャネルMOSトランジスタでは、P型シリコン基板1において、上述したようにして形成したフィールド SiO_2 膜16によって各素子間（この例では隣合うNチャネルMOSトランジスタ間）が素子分離されている。個々のNチャネルMOSトランジスタは、基板1に拡散形成されたN型拡散領域（ソース又はドレイン）10と基板1上にゲート酸化膜11を介して形成されたゲート電極12とからなるトランスファゲートが構成されている。なお、図中の13は絶縁層、14はAl等の金属配線層、15はPSG (Phosphosilicate glass) 等の酸化膜（保護膜）である。

以上に説明したように、本実施例による半導体装置の製造方法によれば、第1D図に示すように、

P型シリコン基板1上に SiO_2 層2を形成してからその上に、応力緩衝材料としてのポリシリコン層3を挟み込むようにして酸化等を防止するためのマスク材としての Si_3N_4 層4及び7を夫々形成しているもので、従来の第3D図におけるような SiO_2 層2及びポリシリコン層3の酸化等による選択酸化領域の横方向への広がりや Si_3N_4 層7によって防止することができる。従って、第3E図に示す選択酸化領域の幅 W_1 等を第1E図に示すように幅 W_2 と小さくすることができるので、デバイスの微細化にとって非常に有利となる。

また、ポリシリコン層3の下に Si_3N_4 層7があるために、上述したような選択酸化時におけるポリシリコン層3の不均一な酸化を防止できる。

従って、フィールド SiO_2 膜のバズビーク部に凹凸形状が発生することを防止でき、さらにポリシリコン層3等をエッチング除去する際、従来のように上述した不均一な酸化による基板1等を損傷(即ち、第3D図において、フィールド SiO_2 膜6が不均一に酸化されたことによつて

そのバズビーク部に上記した細穴等が形成され、ポリシリコン層3をエッチング除去する際のエッチング液が、その細穴等を通して基板1をも損傷してしまう。うすることがない。また、仮に、上記のごとき細穴が発生したとしても、この細穴は Si_3N_4 層7があるので、 SiO_2 層2を通して、シリコン基板1に到ることはない。その結果、 Si_3N_4 層7をマスクとして、容易にポリシリコン層3をエッチング除去できる。また、応力緩衝材料層としてポリシリコン層3を形成しているもので、基板1への応力集中による結晶欠陥等を防止できる。

さらに、第4図の例のように、基板1上に直接 Si_3N_4 層7を形成するのではなく、本例のように基板1上に形成した SiO_2 層2上に Si_3N_4 層7を形成しているもので、 Si_3N_4 層7のエッチングの際に、第4図の例のように、基板1を損傷することなく、 SiO_2 層2をマスクとして容易にそのエッチングを行える。さらに、本例では、必要に応じて基板1上の SiO_2 層2をパッシベ

ーション膜等として残しておくこともできる。

また、本例によれば、上述したように、応力緩衝材料としてのポリシリコン層3を挟み込むようにして Si_3N_4 層4及び7を形成しているもので、応力緩衝材料自体の耐酸化性等の性質をほとんど考慮しなくともよくなる。従って、応力緩衝材料としての材料の選択にも自由度が広がるため、デバイスの製造プロセスにおいて有利となる。

以上、本発明を例示したが、上述した例は本発明の技術的思想に基づいて更に変形可能である。

例えば上述した応力緩衝材料として気相反応を用いて形成する SiO_2 層を採用してもよく、その他にも非晶質(アモルファス)や多結晶質等適宜の構造をもつ材料を用いることができる。また、上述の酸化層や Si_3N_4 層の形成方法、エッチング方法は種々変更してよく、熱酸化法に代えてCVDを適用したり、ウェットエッチング及びドライエッチングを選択して採用する等の変更が可能である。また、各層の材質、素材構造、半導体領域の導電型等も上述したものに限定されること

はない。

なお、本発明は、フィールド酸化膜を有する上記以外の種々の半導体デバイスに適用することができる。

へ、発明の作用効果

本発明は、上述のように、酸化物層上に耐酸化性及び耐熱性のある第1のマスク材料層と、応力緩衝材料層と、耐酸化性及び耐熱性のある第2のマスク材料層とを夫々順次形成し、上記第1及び第2のマスク材料層と上記応力緩衝材料層とを夫々バターンニングしてマスクを形成した後、このマスクのない領域に存在する半導体基体の表面の選択酸化を行っているもので、上記応力緩衝材料層によって、上記半導体基体への応力の集中による結晶欠陥等を防止でき、かつ上記各マスク材料層の存在で酸化剤の浸透等を防止して不必要な酸化(選択酸化領域の横方向への拡がり等)をなくし、素子領域の面積を設計通りに十分に確保できる。従って、高集積化の要求に沿った微細化を実現することができる。

また、上記した各層は、エッチング等の際には夫々の層がマスクとなって、上記半導体基体を損傷等することなく容易にエッチング等を行える。

IV. 図面の簡単な説明

第1図及び第2図は本発明の実施例を示すものである。

第1A図、第1B図、第1C図、第1D図、第1E図はフィールド酸化膜を含む半導体装置の製造方法の主要段階を示す断面図、

第2図は本発明をNチャネルMOSトランジスタに適用した例を示す断面図、

第3図及び第4図は従来例を示すものであって、

第3A図、第3B図、第3C図、第3D図、第3E図はフィールド酸化膜を含む従来の半導体装置の製造方法の主要段階を示す断面図、

第4図は従来のSILC法を示す断面図である。

なお、図面に示す符号において、

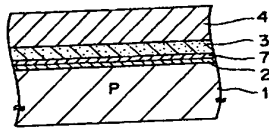
1.....P型シリコン基板

2、12.....SiO₂層

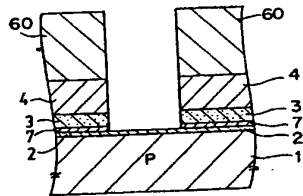
3.....ポリシリコン層
4.....Si₃N₄層(第2のマスク材料層)
6、16.....フィールドSiO₂膜
7.....Si₃N₄層(第1のマスク材料層)

代理人 弁理士 逢坂 宏

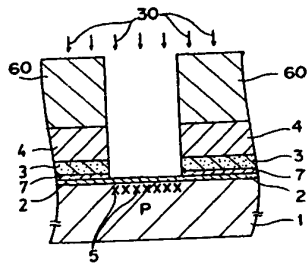
第1A図



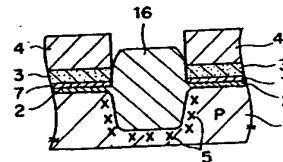
第1B図



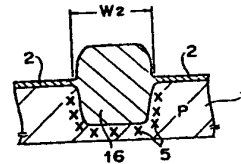
第1C図



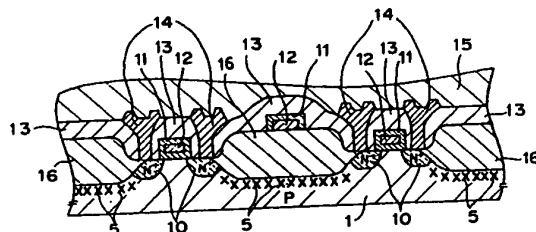
第1D図



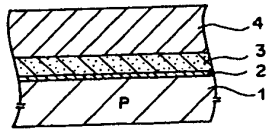
第1E図



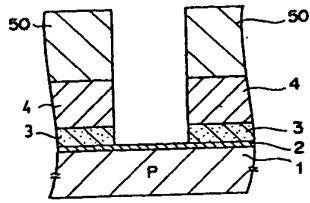
第2図



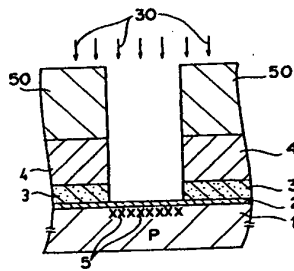
第3A図



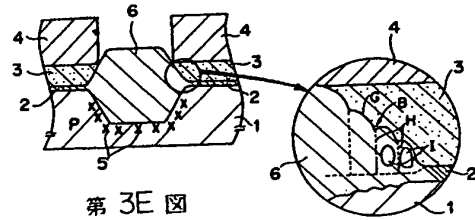
第3B図



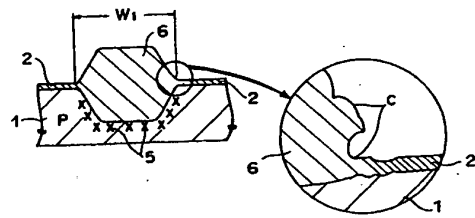
第3C図



第3D図



第3E図



第4図

